

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 특허출원 2000년 제 85542 호  
Application Number

출원년월일 : 2000년 12월 29일  
Date of Application

출원인 : 삼성전자 주식회사  
Applicant(s)

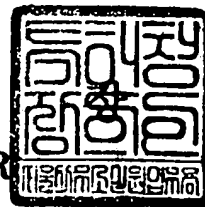
**CERTIFIED COPY OF  
PRIORITY DOCUMENT**



2001 년 05 월 02 일

특 허 청

COMMISSIONER



【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【제출일자】	2000. 12. 29		
【발명의 명칭】	고속 저전력 4-2 압축기		
【발명의 영문명칭】	HIGH SPEED LOW POWER 4-2 COMPRESSOR		
【출원인】			
【명칭】	삼성전자 주식회사		
【출원인코드】	1-1998-104271-3		
【대리인】			
【성명】	임창현		
【대리인코드】	9-1998-000386-5		
【포괄위임등록번호】	1999-007368-2		
【대리인】			
【성명】	권혁수		
【대리인코드】	9-1999-000370-4		
【포괄위임등록번호】	1999-056971-6		
【발명자】			
【성명의 국문표기】	이영철		
【성명의 영문표기】	RHEE, YOUNG CHUL		
【주민등록번호】	700702-1057931		
【우편번호】	442-470		
【주소】	경기도 수원시 팔달구 영통동 970-3 주공9단지 905동 150호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	13	면	13,000 원

【우선권주장료】	0	건	0	원
【심사청구료】	14	항	557,000	원
【합계】	599,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

**【요약서】****【요약】**

여기에 개시된 고속 저전력 4-2 압축기는, 단일 입력(single input)과 듀얼 출력(dual output) 방식의 NAND/NOR 로직을 사용하여 입력 신호에 대한 XOR/XNOR 연산을 수행하므로, 상보적인 신호의 발생을 위한 지연이 발생하지 않는다. 그리고, 상기 4-2 압축기는 듀얼-레일 방식 대신 싱글-레일 방식의 멀티플렉서를 사용하므로, 게이트 구동용 노드가 줄어들게 되고, 이에 따른 내부 로드 캐패시턴스가 줄어들게 된다. 그 결과, 회로의 면적 및 전력 소모가 감소하게 된다.

**【대표도】**

도 6

**【명세서】****【발명의 명칭】**

고속 저전력 4-2 압축기{HIGH SPEED LOW POWER 4-2 COMPRESSOR}

**【도면의 간단한 설명】**

도 1은 3-2 카운터를 사용하는, 종래 기술에 의한 4-2 압축기의 구조를 보여주기 위한 블록도;

도 2는 종래 기술에 의한 DPL 4-2 압축기의 구조를 보여주기 위한 회로도;

도 3은 도 2에 도시된 듀얼-레일 멀티플렉서의 상세 회로도;

도 4는 종래 기술에 의한 RIC 4-2 압축기의 구조를 보여주기 위한 회로도;

도 5는 도 4에 도시된 XOR/XNOR 로직의 상세 회로도;

도 6은 본 발명에 의한 4-2 압축기의 구조를 보여주기 위한 회로도;

도 7a는 도 6에 도시된 NAND/NOR 로직을 이용한 XOR/XNOR 로직의 상세 회로도;

도 7b는 도 6에 도시된 싱글-레일 멀티플렉서의 상세 회로도;

도 8은 4-2 압축기 회로에 대한 모의 실험 환경을 보여주기 위한 회로도; 그리고

도 9 내지 도 11은 도 8에 도시된 모의 실험 환경 하에서 수행된 도 2, 도 4 및 도 6에 도시된 4-2 압축기의 지연시간, 소모전력, 그리고 지연시간과 소모전력의 곱에 대한 모의 실험 결과를 각각 보여주기 위한 도면.

**\*도면의 주요 부분에 대한 부호의 설명\***

52, 54 : NAND/NOR 로직을 이용한 XOR/XNOR 로직

62-68 : 멀티플렉서 72, 74 : 인버터

82-86 : 버퍼 100 : 4-2 압축기

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 로직 회로에 관한 것으로, 좀 더 구체적으로는 곱셈기에 사용되는 4-2 압축기에 관한 것이다.

<16> 곱셈은 범용 마이크로프로세서(general purpose microprocessors)와 전용 디지털 신호처리기(special purpose digital signal processors)의 주요 동작들 중 하나이다. 바로 이 곱셈의 속도가 상기 프로세서들이 얼마나 빨리 동작할 수 있는지를 결정해준다. 일반적으로, 곱셈기는 다수 개의 부분 합을 생성하여 가산하는 역할을 수행하며, 바로 이 가산 성능에 따라서 곱셈기의 성능이 좌우된다. 그러나, 기술이 점점 진화함에 따라 사용자들은 더욱 빠른 기능들을 수행하는 데이터 처리 시스템을 요구해 오고 있다. 이에 따라 곱셈기의 크기는 더욱 커지고 있으며, 종종 데이터 처리 시스템 내에 구비된 중앙 처리 장치에 있어 상당 부분의 면적을 차지하곤 한다. 예를 들어, ' <http://standards.ieee.org/> ' 사이트에서 다운로드 받을 수 있는 'IEEE-754 Floating Point specification'을 참조하면, 곱셈기는 54 비트의 입력에 대한 곱셈을 수행하여야만 한다. 이와 같은 다량의 입력들에 대한 곱셈을 수행하기 위해서는 상당량의 회로 면적이 요구된다.

<17> 이와 같은 곱셈기의 효율을 개선하기 위해서 어레이 구조(array structures) 또는

Wallace 트리 구조(Wallace tree structure)를 가지는 곱셈기들이 개발되었다. 예를 들어, 고속의 곱셈 연산을 수행하는 고속 어레이 곱셈기(fast array multiplier)는 부트 인코더(Booth encoder), 부분-적 가산 트리(partial-product summation tree ; PPST), 그리고 최종 가산기(final adder)로 구성된다. 여기서, 실제적인 연산을 수행하는 PPST는 전체 곱셈 시간(total multiplication delay)의 상당 부분을 차지하며, 이것은 대개 기본 셀로서 3-2 카운터(3-2 counter)(즉, 전가산기(full adder))와 4-2 압축기(4-2 compressor)를 구비한 Wallace 트리(Wallace tree)에 의해 형성된다. 따라서, 3-2 카운터와 4-2 압축기의 설계가 상기와 같은 곱셈기의 성능을 좌우하는 중요 요소가 된다. 이 중 4-2 압축기에 대해 살펴보면 다음과 같다.

<18> 도 1은 종래 기술에 의한 4-2 압축기(10)의 구조를 보여주기 위한 블록도이다. 도면에 도시된 4-2 압축기(10)는, 1998년 2월 19일, Shen-Fu Hsiao 등에 의해 IEE(Institution of Electrical Engineers)에서 발행되는 ELECTRONICS LETTERS, Vol. 34, No. 4, pp. 341-343에 실린 논문 'Design of high-speed low-power 3-2 counter and 4-2 compressor for fast multipliers'의 도 3a를 인용한 것이다. 도 1을 참조하면, 초기의 4-2 압축기(10)는 각각 2 단의 멀티플렉서(multiplexer)가 사용되는 두 개의 3-2 카운터(12, 14)를 캐스케이드 형태로 연결하여 구성된다. 외부로부터 4개의 데이터(I1, I2, I3, I4)가 입력되면, 제 1의 3-2 카운터(12)는 상기 데이터 중 세 개의 데이터(I1, I2, I3)를 받아들여 출력 캐리(carry ; Cout)와 합(S)을 발생한다. 상기 출력 캐리(Cout)는 다음 단계에 연결된 4-2 압축기(미도시됨)로 출력되고, 제 1의 3-2 카운터(12)로부터 발생된 합(S)은 제 2의 3-2 카운터(14)로 입력된다. 제 2의 3-2 카운터(14)는 제 1의 3-2 카운터(12)로부터 발생된 합(S)과, 외부로부터 입력되는 데이터(I4), 그리고 전

단의 4-2 압축기(미도시됨)로부터 입력되는 입력 캐리(Cin)를 받아들여 캐리(Carry)와 합(Sum)을 최종 출력으로 발생한다. 이와 같이, 4-2 압축기(10)는 4 개의 입력 데이터(I1, I2, I3, I4)를 받아들여 2 개의 최종 출력(Carry, Sum)을 발생하므로 4-2 압축기라 불린다. 여기서, 상기 4-2 압축기(10)에는 총 4단의 멀티플렉서가 사용되며, 1 멀티플렉서에서 소요되는 지연 시간을 1 MUX라 할 때, 총 4 MUX의 지연이 발생하게 된다.

<19> 도 2에는 상기 4-2 압축기(10)에서 소요되는 지연 시간을 줄이기 위한 4-2 압축기(20)가 도시되어 있다. 그리고, 도 3에는 도 2에 도시된 듀얼-레일 멀티플렉서(21-25, 27)의 상세 회로도도 도시되어 있다. 도 2에 도시된 4-2 압축기(20)는, Shen-Fu Hsiao 등에 의한 상기 논문의 도 3b를 인용한 것이다. 도 2 및 도 3을 참조하면, 4-2 압축기(20)는 CMOS 전달 게이트(CMOS transmission gate ; TG)로 구성된 패스-트랜지스터 멀티플렉서(pass-transistor multiplexer ; PTM)(21-25, 27)를 이용해서 지연 시간을 기존의 4 MUX에서 3 MUX로 단축시켰다. 상기 4-2 압축기(20)의 상세한 구성을 살펴보면 다음과 같다.

<20> 도 2에 도시된 4-2 압축기(20)는 4 개의 입력 데이터(I1, I2, I3, I4)와, 전단의 입력 캐리(Cin)를 받아들여 두 개의 캐리(Cout, Carry)와 합(Sum)을 각각 발생한다. 이 4-2 압축기(20)는, 듀얼-레일(dual-rail)로 구성되어 고속으로 동작한다. 이와 같은 특성을 가지는 4-2 압축기를 DPL(double-pass transistor logic) 4-2 압축기라 한다.

<21> 그러나, 상기 압축기(20)는 제 1 및 제 2 노드(N1, N2)에서 살펴볼 때 전달 게이트로 구성된 패스-트랜지스터 멀티플렉서의 출력이 구동해야 할 게이트 수가 8개가 된다. 예를 들어, PMOS 트랜지스터의 내부 로드 캐패시턴스(internal load capacitance)는  $C_{gp}$ , NMOS 트랜지스터의 내부 로드 캐패시턴스는  $C_{gn}$ 이라 할 때, 제 1 노드(N1)에서의



내부 로드 캐패시턴스는  $4C_{gp} + 4C_{gn}$ 이 된다. 마찬가지로, 제 2 노드( $N_2$ )에서의 내부 로드 캐패시턴스는  $4C_{gp} + 4C_{gn}$ 이 된다. 따라서, 4-2 압축기(20)의 전체 내부 로드 캐패시턴스는  $8C_{gp} + 8C_{gn}$ 이 된다. 일반적으로, PMOS 트랜지스터의 사이즈는 NMOS 트랜지스터의 약 2배이므로, 로드 캐패시턴스 또한 약 2배가 된다. 따라서,  $1C_{gp} \approx 2C_{gn}$ 가 되고, 4-2 압축기(20)의 전체 내부 로드 캐패시턴스를 NMOS 트랜지스터를 기준으로 변환하면  $24C_{gn}$ 이 된다.

<22> 일반적으로, 패스-트랜지스터(pass-transistor) 로직은 게이트를 구동하는 것이 아니라, 소오스(source)의 전달을 목적으로 한다. 따라서, 상기 4-2 압축기(20)는 저전력 고속 동작을 수행하는 패스-트랜지스터 로직의 성능을 갖기가 어렵게 되며, 듀얼-레일에 따른 배선의 증가로 전력 소모와 면적이 증가하는 단점을 가진다.

<23> 도 4는 앞에서 설명한 바와 같은 DPL 4-2 압축기(20)의 성능을 개선한 4-2 압축기(30)의 구성을 보여주기 위한 회로도로서, Shen-Fu Hsiao 등에 의한 상기 논문의 도 3c를 인용한 것이다. 그리고, 도 5는 도 4에 도시된 XOR/XNOR 로직(31, 32, 34, 36)의 상세 회로도이다. 도 4 및 도 5를 참조하면, 4-2 압축기(30)는 내부 게이트의 구동을 줄이기 위해 전달 게이트로 구성된 멀티플렉서(33, 37)를 캐리(Cout, Carry)의 출력단에만 연결하였고, 합(Sum)을 얻어내기 위해 XOR/XNOR 로직을 사용하였다. 도 4에서 제 3 노드( $N_3$ ) 및 제 4 노드( $N_4$ )를 살펴보면, 상기 노드들( $N_3$ ,  $N_4$ )은 각각  $3C_{gp} + 3C_{gn}$ 의 내부 로드 캐패시턴스를 갖는다. 따라서, 전체의 내부 로드 캐패시턴스는  $6C_{gp} + 6C_{gn}$ 이 되고, 이를 NMOS 트랜지스터를 기준으로 변환하면 총  $18C_{gn}$ 이 된다. 이를 도 2에 도시된 4-2 압축기(20)와 비교하면, 총  $6C_{gn}$ 의 내부 로드 캐패시턴스가 줄어든 것이 된다. 이와 같은 특성을 가지는 4-2 압축기를 RIC(reduced internal capacitance) 4-2 압축기라 한다.

<24> 그러나, 제 3 및 제 4 노드(N3, N4)는 전달 게이트로 구성된 멀티플렉서(33, 37)의 게이트 구동은 물론 XOR/XNOR 로직(31, 32, 34, 36)의 소오스으로도 사용됨에 따라 상대적으로 게이트 구동 능력이 떨어지게 된다. 즉, 게이트 구동 수는 줄었지만, 구동 능력이 그만큼 감소하게 되어 동작 시간이 오히려 도 2에 도시된 DPL 4-2 압축기(20) 보다 떨어지게 된다. 그리고, 이 압축기(30) 역시 듀얼-레일에 따른 배선의 증가로 전력 소모와 면적이 증가되는 단점을 가지고 있다.

【발명이 이루고자 하는 기술적 과제】

<25> 따라서, 본 발명의 목적은 상술한 제반 문제점을 해결하기 위해 제안된 것으로, 4-2 압축기 내부에 걸리는 로드 캐패시턴스를 최대한 줄이고, 4-2 압축기가 차지하는 면적 및 전력 소모를 줄임으로써 고속 저전력 4-2 압축기를 제공하는데 있다.

【발명의 구성 및 작용】

<26> 상술한 바와 같은 본 발명의 목적을 달성하기 위한 본 발명의 특징에 의하면, 곱셈기를 위한 4-2 압축기는, 외부로부터 입력되는 제 1 및 제 2 입력 데이터를 받아들이고, 상기 제 1 입력 데이터에 대한 NAND 연산과, 상기 제 2 입력 데이터에 대한 NOR 연산, 그리고 상기 제 1 및 제 2 입력 데이터에 대한 XOR/XNOR 연산을 수행하기 위한 제 1 로직 회로와, 외부로부터 입력되는 제 3 및 제 4 입력 데이터에 대한 XOR/XNOR 연산을 수행하기 위한 제 2 로직 회로와, 상기 제 1 로직 회로로부터 발생하는 상기 NAND 연산 결과와 상기 NOR 연산 결과를 입력 데이터로 받아들이고, 상기 제 3 입력 데이터의 반전된 신호를 선택 신호로 받아들여, 제 1 캐리를 발생하기 위한 싱글-레일 방식의 제 1 멀티플렉서와, 상기 제 1 로직 회로의 상기 XOR/XNOR 연산 결과를 입력 데이터로서 받아들이고, 상기 제 2 로직 회로의 상기 XOR/XNOR 연산 결과를 선택 신호로 받아들이는 듀얼-레

일 방식의 제 2 멀티플렉서와, 전단에서 입력되는 입력 캐리와 반전된 상기 캐리의 반전된 신호를 입력 신호로 받아들이고, 상기 제 2 멀티플렉서의 출력을 선택 신호로 받아들이며, 제 2 캐리를 발생하기 위한 싱글-레일 방식의 제 3 멀티플렉서, 그리고 상기 입력 캐리의 반전된 신호와, 상기 제 4 입력 데이터의 반전된 신호를 입력 데이터로 받아들이고, 상기 제 2 멀티플렉서의 출력을 선택 신호로 받아들이며, 합을 발생하기 위한 싱글-레일 방식의 제 4 멀티플렉서를 포함한다.

<27> (실시예)

<28> 이하 본 발명에 따른 실시예를 첨부된 도면 도 6 내지 11을 참조하여 상세히 설명한다.

<29> 본 발명의 신규한 4-2 압축기는, 단일 입력(single input)과 듀얼 출력(dual output) 방식의 NAND/NOR 로직을 사용하여 입력 신호에 대한 XOR/XNOR 연산을 수행하므로, 상보적인 신호 발생을 위한 지연이 발생하지 않는다. 그리고, 상기 4-2 압축기는 듀얼-레일 방식 대신 싱글-레일 방식의 멀티플렉서를 사용하므로, 게이트 구동용 노드가 줄어들게 되고, 이에 따른 내부 로드 캐패시턴스가 줄어들게 된다. 그 결과, 회로의 면적 및 전력 소모가 감소하게 된다.

<30> 도 6은 본 발명에 의한 4-2 압축기(100)의 구조를 보여주기 위한 회로도이다. 그리고, 도 7a는 도 6에 도시된 NAND/NOR 로직을 이용한 XOR/XNOR 로직의 상세 회로도이고, 도 7b는 도 6에 도시된 싱글-레일 멀티플렉서의 상세 회로도이다.

<31> 먼저 도 6을 참조하면, 본 발명에 의한 4-2 압축기(100)는, 외부로부터 입력되는 제 1 및 제 2 입력 데이터(I1, I2)에 응답해서 상기 데이터(I1, I2)에 대한 NAND/NOR 연

산 결과 및 XOR/XNOR 연산 결과를 각각 출력하고, 상기 NAND/NOR 연산 결과를 이용하여 다음단으로 출력 캐리(Cout)를 발생하는 제 1 로직 회로(110)와, 외부로부터 입력되는 제 3 및 제 4 입력 데이터(I3, I4) 및 제 1 로직 회로(110)로부터 출력되는 NAND/NOR 연산 결과에 응답해서 선택 신호를 발생하는 제 2 로직 회로(120)와, 제 2 로직 회로(120)로부터 출력되는 선택 신호에 응답해서 전단에서 입력되는 입력 캐리(Cin)와 반전 입력 캐리( $\overline{Cin}$ ) 중 어느 하나를 합(Sum)으로 발생하는 제 3 로직 회로(130), 그리고 제 2 로직 회로(120)로부터 출력되는 선택 신호에 응답해서 전단에서 입력되는 반전 입력 캐리( $\overline{Cin}$ )와 반전된 제 4 입력 데이터( $\overline{I4}$ ) 중 어느 하나를 선택하여 캐리(Carry)로 발생하는 제 4 로직 회로(140)를 포함한다.

<32>      상기 제 1 로직 회로(110)는, 외부로부터 입력되는 제 1 및 제 2 입력 데이터(I1, I2)를 받아들이고, 입력된 데이터(I1, I2)에 대한 NAND/NOR 연산 결과와, 이 NAND/NOR 연산 결과를 이용하여 XOR/XNOR 연산 결과를 발생시키는 제 1 XOR/XNOR 로직(52)과, 상기 제 1 XOR/XNOR 로직(52)으로부터 발생되는 제 1 및 제 2 입력 데이터(I1, I2)에 대한 NAND 연산 결과 및 NOR 연산 결과를 입력 데이터로 받아들이고, 반전된 제 3 입력 데이터( $\overline{I3}$ )를 선택 신호로 받아들여, 다음 단으로 출력 캐리(Cout)를 발생하는 싱글-레일 방식의 제 1 멀티플렉서(62)를 포함한다.

<33>      제 2 로직 회로(120)는, 외부로부터 입력되는 제 3 및 제 4 입력 데이터(I3, I4)를 받아들이고, 입력된 데이터(I3, I4)에 대한 XOR/XNOR 연산을 위해 NAND/NOR 로직을 이용하는 제 2 XOR/XNOR 로직(54)과, 제 1 로직 회로(110)에 구비된 제 1 XOR/XNOR 로직(52)의 출력을 입력 데이터로서 받아들이고, 상기 제 2 XOR/XNOR 로직(54)의 출력을 선택 신호로 받아들이는 듀얼-레일 방식의 제 2 멀티플렉서(64)를 포함한다. 제 2 멀티플렉서

(64)는 제 2 XOR/XNOR 로직(54)의 출력에 응답해서 제 1 XOR/XNOR 로직(52)의 XOR/XNOR 연산 결과를 선택적으로 출력하고, 제 2 멀티플렉서(64)를 통해 출력되는 상기 XOR/XNOR 연산 결과는 4-2 압축기(100)의 합(Sum) 및 캐리(Carry)를 출력하기 위한 선택 신호로서 사용된다.

<34> 제 3 로직 회로(130)는, 전단에서 입력되는 입력 캐리(Cin)와 반전 입력 캐리( $\overline{Cin}$ )를 입력 신호로 받아들이고, 제 2 로직 회로(120)에 구비된 제 2 멀티플렉서(64)의 출력을 선택 신호로 받아들이며, 합(Sum)을 발생하는 싱글-레일 방식의 제 3 멀티플렉서(66)를 포함한다.

<35> 그리고 제 4 로직 회로(140)는, 전단에서 입력되는 반전 입력 캐리( $\overline{Cin}$ )와 반전된 제 4 입력 데이터( $\overline{I4}$ )를 입력 데이터로 받아들이고, 상기 제 2 멀티플렉서(64)의 출력을 선택 신호로 받아들이며, 캐리(Carry)를 발생하는 싱글-레일 방식의 제 4 멀티플렉서(68)를 포함한다.

<36> 여기서, 외부로부터 입력되는 입력 캐리(Cin)와 제 4 데이터(I4)는, 인버터(72, 74)를 통해 각각 반전된다. 이는 싱글-레일 방식의 멀티플렉서(66, 68)에서 필요로 하는 반전 신호의 발생을 위한 것이다. 그리고, 제 1 및 제 4 멀티플렉서(62, 68)로부터 출력되는 캐리들(Cout, Carry)과 제 3 멀티플렉서(66)로부터 출력되는 합(Sum)은, 각각의 멀티플렉서(62, 66, 68)의 출력단에 구비된 버퍼들(82, 86, 84)을 통해서 각각 출력된다.

<37> 도면에 도시된 바와 같이, 상기 4-2 압축기(100)의 입력단에는 NAND/NOR 로직을 이용한 XOR/XNOR 로직(52, 54)이 사용된다. 이 XOR/XNOR 로직(52, 54)은 단일 입력(single

input)과 듀얼 출력(dual output) 방식을 사용하므로, 상보적인 신호를 발생하기 위한 인버터를 필요로 하지 않는다. 그 결과, 인버터에 의한 지연을 방지할 수 있다. 그리고, 본 발명에 의한 4-2 압축기(100)는 듀얼-레일에 의한 면적 및 전력 소모의 증가를 방지하기 위해 싱글-레일 방식의 멀티플렉서를 사용하되, NAND/NOR 로직을 이용한 XOR/XNOR 로직(52, 54)의 출력을 소오스(source)로 사용한다. 따라서, 상기 4-2 압축기(100)는, 게이트를 구동시키는 노드가 도 2 및 도 4에 도시된 4-2 압축기들(20, 30)처럼 두 개(N1 및 N2, N3 및 N4)를 필요로 하지 않고, 단지 하나의 노드(N5)만을 필요로 한다. 그 결과, 상기 노드(N5)에서의 게이트 구동은  $2C_{gp} + 2C_{gn}$ 의 내부 로드 캐패시턴스를 갖게 되고, 이를 NMOS 트랜지스터를 기준으로 변환하면 총  $6C_{gn}$ 이 된다. 이것을 도 2에 도시된 4-2 압축기(20)와 비교하면, 총  $18C_{gn}$ 의 내부 로드 캐패시턴스가 줄어드는 것이 되고, 도 4에 도시된 4-2 압축기(30)와 비교하면, 총  $12C_{gn}$ 의 내부 로드 캐패시턴스가 줄어드는 것이 된다.

<38> 도 7a를 참조하여, 도 6에 도시된 NAND/NOR 로직을 이용한 XOR/XNOR 로직(52, 54)의 구성을 살펴보면 다음과 같다. NAND/NOR 로직을 이용한 XOR/XNOR 로직들(52, 54) 각각은, NAND 게이트, NOR 게이트, NAND 및 NOR 게이트의 출력을 반전시키기 위한 제 1 및 제 2 인버터들(INV1, INV2), 그리고 인버터들(INV1, INV2)의 출력을 풀 스윙(full swing) 시키기 위한 PMOS 트랜지스터(MP3) 및 NMOS 트랜지스터(MN3)를 포함한다.

<39> NAND 게이트는 외부로부터 입력되는 제 1 입력 데이터(a)를 받아들이기 위한 제 1 입력 단자와, 제 2 입력 단자를 포함하며, NOR 게이트는 NAND 게이트의 제 1 입력 단자에 연결되어 제 1 입력 데이터(a)를 받아들이기 위한 제 1 입력 단자와, 외부로부터 입력되는 제 2 입력 데이터(b)를 받아들이기 위한 제 2 입력 단자를 포

함한다. 여기서, NAND 게이트의 제 2 입력 단자는 NOR 게이트에 구비된 제 2 입력단자에 연결되어 외부로부터 입력되는 제 2 입력 데이터(b)를 받아들인다.

<40> NAND 게이트와 NOR 게이트의 출력단(N11, N22)에는 한 쌍의 PMOS 트랜지스터와 NMOS 트랜지스터로 구성되는 제 1 및 제 2 인버터들(INV1, INV2)이 각각 연결된다. 제 1 인버터(INV1)는 전원 전압( $V_{DD}$ )과 상기 NOR 게이트의 출력 단자(N12) 사이에 직렬로 순차적으로 형성된 전류 통로와 상기 NAND 게이트의 출력에 의해 제어되는 게이트를 갖는 PMOS 트랜지스터(MP1) 및 NMOS 트랜지스터(MN1)로 구성된다. 그리고, 제 2 인버터(INV2)는 상기 NAND 게이트의 출력 단자(N11)와 접지 전압(VSS) 사이에 직렬로 순차적으로 형성된 전류 통로와 상기 NOR 게이트의 출력에 의해 제어되는 게이트를 갖는 PMOS 트랜지스터(MP2) 및 NMOS 트랜지스터(MN2)로 구성된다.

<41> 그리고, 상기 제 1 및 제 2 인버터(INV1, INV2)의 출력단(N21, N22)에는 상기 제 1 및 제 2 인버터(INV1, INV2)의 출력 신호가 풀 스윙되도록 하기 위한 PMOS 및 NMOS 트랜지스터들(MP3, MN3)이 연결된다. 구체적으로, 상기 PMOS 트랜지스터(MP3)는 NOR 게이트의 출력 단자(N12)와 연결된 드레인, 제 1 인버터(INV1)의 출력 단자(N21)와 연결된 소오스, 그리고 상기 제 1 입력 신호(a)에 의해 제어되는 게이트를 갖는다. 그리고, NMOS 트랜지스터(MN3)는 NAND 게이트의 출력 단자(N11)와 연결된 드레인, 제 2 인버터(INV2)의 출력 단자(N22)와 연결된 소오스, 그리고 상기 PMOS 트랜지스터(MP3)의 게이트에 연결되어 상기 제 1 입력 신호(a)에 의해 제어되는 게이트를 갖는다.

<42> 상기와 같은 구성을 가지는 NAND/NOR 로직을 이용한 XOR/XNOR 로직들(52, 54)의 동작을 살펴보면 다음과 같다.

- <43> 먼저, 외부로부터 두 개의 입력 신호들(I1, I2 또는 I3, I4)(즉, a, b)이 입력되면, NAND/NOR 로직을 이용한 XOR/XNOR 로직들(52, 54) 각각에 포함된 NAND 게이트와 NOR 게이트들은 입력된 신호들(a, b)에 대한 NAND 연산과 NOR 연산을 각각 수행한다. 그리고, NAND 게이트와 NOR 게이트들을 통해 출력되는 NAND 및 NOR 연산 결과들은 각각 제 1 및 제 2 인버터들(INV1, INV2)로 각각 입력된다.
- <44> 제 1 인버터(INV1)는, NOR 게이트의 출력 신호가 로우 레벨인 동안에는 NAND 게이트의 출력 신호를 반전시키고, NOR 게이트의 출력 신호가 하이 레벨인 동안에는 NAND 게이트의 출력 신호를 그대로 출력함으로써, 입력된 신호(a, b)에 대한 XNOR 값( $\overline{a \oplus b}$ )을 발생한다. 그리고, 제 2 인버터(INV2)는 NAND 게이트의 출력 신호가 하이 레벨인 동안에는 NOR 게이트의 출력 신호를 반전시키고, NAND 게이트의 출력 신호가 로우 레벨인 동안에는 NOR 게이트의 출력 신호를 그대로 출력함으로써, 입력된 신호(a, b)에 대한 XOR 값( $a \oplus b$ )을 발생한다.
- <45> 그러나, 제 1 인버터(INV1)에 있어서, NAND 게이트와 NOR 게이트의 출력 신호 모두가 하이 레벨인 경우, NAND 게이트의 출력 신호를 입력받은 제 1 인버터(INV1)는  $V_{DD} - V_{tn}$ 의 전위를 가지는 출력 신호를 발생한다. 즉, 제 1 인버터(INV1)의 출력 신호는 플스윙되지 않고, 제 1 인버터(INV1)에 구비된 NMOS 트랜지스터(MN1)의 드레슬드 전압( $V_{tn}$ )만큼 하강되어 출력된다. 이 때, 제 1 인버터(INV1)의 NMOS 트랜지스터(MN1)와 병렬로 연결되어 스위치를 구성하는 PMOS 트랜지스터(MP3)가 턴 온 되고, 턴 온 된 PMOS 트랜지스터(MP3)의 충전 동작에 의해서 상기 NAND/NOR 로직을 이용한 XOR/XNOR 로직(52 또는 54)은 완전한 하이 값( $V_{DD}$ )을 출력하게 된다.



<46> 그리고, 제 2 인버터(INV2)에 있어서, NAND 게이트와 NOR 게이트의 출력 신호 모두가 로우 레벨인 경우, NOR 게이트의 출력 신호를 입력받은 제 2 인버터(INV2)는  $V_{tp}$ 의 전위를 가지는 출력 신호를 발생한다. 즉, 제 2 인버터(INV2)의 출력 신호는 풀 스윙되지 않고, 제 2 인버터(INV2)에 구비된 PMOS 트랜지스터(MP2)의 드레슬드 전압( $V_{tp}$ )만큼 상승되어 출력된다. 이 때, 제 2 인버터(INV2)의 PMOS 트랜지스터(MP2)와 병렬로 연결되어 스위치를 구성하는 NMOS 트랜지스터(MN3)가 턴 온 되고, 턴 온 된 NMOS 트랜지스터(MN3)의 방전 동작에 의해서 상기 NAND/NOR 로직을 이용한 XOR/XNOR 로직(52 또는 54)은 완전한 로우 값( $V_{ss}$ )을 출력하게 된다.

<47> 그 결과, 제 1 및 제 2 인버터(INV1, INV2)는 NAND 게이트 및 NOR 게이트들로 입력되는 신호들(I1, I2 또는 I3, I4)(즉, a, b)에 대한 XNOR 값( $\overline{a \oplus b}$ )과 XOR 값( $a \oplus b$ )을 각각 발생하되, 인버터(INV1, INV2)에 구비된 트랜지스터의 드레슬드 전압에 의한 전압 변동 없이 풀 스윙되는 출력을 발생한다.

<48> 다시 도 6을 참조하면, 도 7a와 같이 발생하는 입력 신호들(I1, I2 또는 I3, I4)(즉, a, b)에 대한 XOR/XNOR 연산 결과들( $a \oplus b / \overline{a \oplus b}$ )은 각각 제 2 멀티플렉서(64)로 입력되어, 제 2 멀티플렉서(64)를 구성하는 CMOS 전달로직(TG)들의 소오스와 게이트로 사용된다. 그리고, NAND/NOR 로직을 이용한 제 1 XOR/XNOR 로직(52)에서 수행된 NAND 및 NOR 연산 결과는 제 1 멀티플렉서(62)에 입력된 후 출력 캐리(Cout)로서 발생된다. 상기 제 2 멀티플렉서(64)의 출력 신호는 이전 단으로부터 입력되는 입력 캐리(Cin)와 함께 도 7b에 도시된 바와 같은 구조를 가지는 싱글-레일 구조의 제 3 및 제 4 멀티플렉서(66, 68)로 입력되어 합(Sum)과 캐리(Carry)를 최종 결과로서 각각 발생한다. 상기 4-2 압축기(100)의 성능을 도 2 및 도 4에 도시된 종래의 4-2 압축기(20, 30)와 동일 조건하

에서 비교하면 다음과 같다.

<49> 도 8은 4-2 압축기 회로에 대한 모의 실험 환경을 보여주기 위한 회로도이다. 도 8을 참조하면, 'A'와 'B'로 표시된 부분 사이에 본 발명에 의한 4-2 압축기(100)와 종래의 4-2 압축기(20, 30)가 놓여진다. 그리고, 4개의 버퍼를 통해 입력 신호들( $\overline{I_1}$ ,  $\overline{I_2}$ ,  $\overline{I_3}$ ,  $\overline{I_4}$ )이 인가되고, 인가된 신호들에 대한 출력( $\overline{Sum}$ ,  $\overline{Carry}$ )이 2 개의 버퍼를 통해 각각 관측된다. 여기서, 모의 실험에 사용되는 4-2 압축기의 출력단 각각에는 C1, C2라 표시된 로드 캐패시터( $C_L$ )가 연결되어, 압축기들 각각의 지연시간, 전력소모, 그리고 지연시간과 전력 소모의 곱이 측정된다. 실험에 사용되는 4-2 압축기 회로들은 0.18 $\mu$ m CMOS 공정이 적용되며, 전원 전압( $V_{DD}$ )으로는 1.8V가 사용된다. 그리고, 인가되는 입력 주파수는 50MHz가 사용되었고, 입력 기울기(slop)는 0.2ns이며, 실험 온도는 25℃이다.

<50> 도 9 내지 도 11은 도 8에 도시된 모의 실험 환경 하에서 수행된 도 2, 도 4 및 도 6에 도시된 4-2 압축기(20, 30, 100)의 지연시간, 소모전력, 그리고 지연시간과 소모전력의 곱에 대한 모의 실험 결과를 각각 보여주기 위한 도면이다. 도면에 ㉠로 표시된 그래프는 도 2에 도시된 DPL 4-2 압축기(20)에 대한 모의 실험 결과를 나타내고, ㉡로 표시된 그래프는 도 4에 도시된 RIC 4-2 압축기(30)에 대한 모의 실험 결과를 나타내고, 그리고 ㉢로 표시된 그래프는 도 6에 도시된 본 발명에 의한 4-2 압축기(100)에 대한 모의 실험 결과를 각각 나타낸다.

<51> 먼저, 도 9 내지 도 11을 참조하면, 본 발명에 의한 4-2 압축기(100)의 지연시간, 소모전력, 그리고 지연시간과 소모전력의 곱 각각은 모의 실험에 사용된 종래의 4-2 압축기들(20, 30) 보다 현저히 작은 것을 알 수 있으며, 본 발명에 의한 4-2 압축기(100) 다음으로는 DPL 4-2 압축기(20), RIC 4-2 압축기(30)의 순으로 지연시간, 소모전력, 그

리고 지연시간과 소모전력의 곱이 적게 걸리는 것을 알 수 있다.

<52> 도면에 나타난 모의 실험 결과를 표로 나타내면 다음과 같다. [표 1]은 도 2에 도시된 DPL 4-2 압축기(20)와 도 6에 도시된 본 발명에 의한 4-2 압축기(100)에 대한 모의 실험 결과이고, [표 2]는 도 4에 도시된 RIC 4-2 압축기(30)와 도 6에 도시된 본 발명에 의한 4-2 압축기(100)에 대한 모의 실험 결과이다. [표 1] 및 [표 2]에 있어서, 괄호 안에 표시된 숫자는 종래 기술에 의한 4-2 압축기(20, 30)의 실험 결과를 기준으로 정규화(normalization)한 결과를 각각 나타낸다.

<53> [표 1]

<54>

$C_L$ [pF]	DPL 4-2 압축기			본 발명에 의한 4-2 압축기		
	지연시간 [ns]	소모전력 [ $\mu$ W]	지연시간 *소모전력 [fJ]	지연시간 [ns]	소모전력 [ $\mu$ W]	지연시간 *소모전력 [fJ]
0.02	0.33 (1.00)	3.67 (1.00)	1.21 (1.00)	0.32 (0.97)	2.83 (0.77)	0.90 (0.74)
0.04	0.38 (1.00)	4.73 (1.00)	1.80 (1.00)	0.37 (0.97)	3.38 (0.71)	1.25 (0.69)
0.06	0.42 (1.00)	5.81 (1.00)	2.44 (1.00)	0.41 (0.98)	3.96 (0.68)	1.62 (0.66)
0.08	0.46 (1.00)	6.91 (1.00)	3.18 (1.00)	0.45 (0.98)	4.52 (0.65)	2.03 (0.64)
0.10	0.50 (1.00)	7.99 (1.00)	4.00 (1.00)	0.49 (0.98)	5.08 (0.64)	2.49 (0.62)

<55> [표 2]

C <sub>L</sub> [pF]	RIC 4-2 압축기			본 발명에 의한 4-2 압축기		
	지연시간 [ns]	소모전력 [μW]	지연시간 *소모전력 [fJ]	지연시간 [ns]	소모전력 [μW]	지연시간 *소모전력 [fJ]
0.02	0.37 (1.00)	3.91 (1.00)	1.45 (1.00)	0.32 (0.86)	2.83 (0.72)	0.90 (0.62)
0.04	0.42 (1.00)	5.02 (1.00)	2.11 (1.00)	0.37 (0.88)	3.38 (0.67)	1.25 (0.59)
0.06	0.46 (1.00)	6.14 (1.00)	2.82 (1.00)	0.41 (0.89)	3.96 (0.64)	1.62 (0.57)
0.08	0.51 (1.00)	7.22 (1.00)	3.68 (1.00)	0.45 (0.88)	4.52 (0.63)	2.03 (0.55)
0.10	0.55 (1.00)	8.28 (1.00)	4.55 (1.00)	0.49 (0.89)	5.08 (0.61)	2.49 (0.55)

<57> [표 1]에서 알 수 있듯이, 본 발명에 의한 4-2 압축기(100)는 DPL 4-2 압축기(20)에 비해 개선된 지연시간, 소모전력, 그리고 지연시간과 소모전력의 곱 값을 가진다. 구체적으로, 본 발명에 의한 4-2 압축기(100)는 DPL 4-2 압축기(20)에 비해서 2-3% 개선된 동작 시간과, 23-36% 개선된 소모전력, 그리고 26-38% 개선된 지연시간과 소모전력의 곱 값을 가진다.

<58> 그리고, [표 2]에서 알 수 있듯이, 본 발명에 의한 4-2 압축기(100)는 RIC 4-2 압축기(30)에 비해 개선된 지연시간, 소모전력, 그리고 지연시간과 소모전력의 곱 값을 가진다. 구체적으로, 본 발명에 의한 4-2 압축기(100)는 RIC 4-2 압축기(30)에 비해서 11-14% 개선된 동작 시간과, 28-39% 개선된 소모전력, 그리고 38-45% 개선된 지연시간과 소모전력의 곱 값을 가진다.

<59> 이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

**【발명의 효과】**

<60>        이상과 같은 본 발명에 의하면, 4-2 압축기의 속도가 증가되고, 4-2 압축기가 차지하는 면적 및 전력 소모가 감소된다.

**【특허청구범위】****【청구항 1】**

4 개의 데이터를 입력 받아 합과 캐리를 발생하는 4-2 압축기에 있어서:

제 1 및 제 2 입력 데이터에 응답해서 상기 데이터에 대한 NAND/NOR 연산 결과 및 XOR/XNOR 연산 결과를 각각 출력하고, 상기 NAND/NOR 연산 결과를 이용하여 다음단으로 출력 캐리를 발생하는 제 1 로직 회로와;

제 3 및 제 4 입력 데이터 및 상기 제 1 로직 회로로부터 출력되는 상기 NAND/NOR 연산 결과에 응답해서 선택 신호를 발생하는 제 2 로직 회로와;

상기 제 2 로직 회로로부터 출력되는 상기 선택 신호에 응답해서 전단에서 입력되는 입력 캐리와 반전된 입력 캐리 중 어느 하나를 선택하여 상기 합을 발생하는 제 3 로직 회로; 그리고

상기 제 2 로직 회로로부터 출력되는 상기 선택 신호에 응답해서 전단에서 입력되는 상기 반전된 입력 캐리와 반전된 제 4 입력 데이터 중 어느 하나를 선택하여 상기 캐리를 발생하는 제 4 로직 회로를 포함하는 것을 특징으로 하는 고속 저전력 4-2 압축기.

**【청구항 2】**

제 1 항에 있어서,

상기 제 1 로직 회로는,

상기 제 1 입력 데이터에 대한 NAND 연산과, 상기 제 2 입력 데이터에 대한 NOR 연산, 그리고 상기 NAND 및 NOR 연산 결과를 이용하여 상기 제 1 및 제 2 입력 데이터에 대한 XOR/XNOR 연산을 수행하기 위한 제 1 XOR/XNOR 로직 회로; 그리고

상기 제 1 XOR/XNOR 로직 회로로부터 발생하는 상기 NAND 연산 결과와 상기 NOR 연산 결과를 입력 데이터로 받아들이고, 상기 제 3 입력 데이터의 반전된 신호를 선택 신호로 받아들이는 싱글-레일 방식의 제 1 멀티플렉서를 포함하는 것을 특징으로 하는 고속 저전력 4-2 압축기.

### 【청구항 3】

제 1 항에 있어서,

상기 제 2 로직 회로는,

상기 제 3 입력 데이터에 대한 NAND 연산과, 상기 제 4 입력 데이터에 대한 NOR 연산, 그리고 상기 NAND 및 NOR 연산 결과를 이용하여 상기 제 3 및 제 4 입력 데이터에 대한 XOR/XNOR 연산을 수행하기 위한 제 2 XOR/XNOR 로직 회로; 그리고

상기 제 1 XOR/XNOR 로직 회로의 상기 XOR/XNOR 연산 결과를 입력 데이터로 받아들이고, 상기 제 2 XOR/XNOR 로직 회로의 상기 XOR/XNOR 연산 결과를 선택 신호로 받아들이는 듀얼-레일 방식의 제 2 멀티플렉서를 포함하는 것을 특징으로 하는 고속 저전력 4-2 압축기.

### 【청구항 4】

제 1 항에 있어서,

상기 제 3 로직 회로는,

전단에서 입력되는 상기 입력 캐리와 상기 반전된 입력 캐리를 입력 데이터로서 받아들이고, 상기 제 2 멀티플렉서의 출력을 선택 신호로서 받아들여, 상기

합을 발생하는 싱글-레일 방식의 제 3 멀티플렉서를 포함하는 것을 특징으로 하는 고속 저전력 4-2 압축기.

**【청구항 5】**

제 1 항에 있어서,

상기 제 4 로직 회로는,

상기 반전된 입력 캐리와, 상기 제 4 입력 데이터의 반전된 신호를 입력 데이터로 받아들이고, 상기 제 2 멀티플렉서의 출력을 선택 신호로서 받아들여, 상기 캐리를 발생하는 싱글-레일 방식의 제 4 멀티플렉서를 포함하는 것을 특징으로 하는 고속 저전력 4-2 압축기.

**【청구항 6】**

제 2 항 또는 제 3 항에 있어서,

상기 각각의 제 1 및 제 2 XOR/XNOR 로직 회로는,

상기 제 1 또는 제 3 입력 신호의 상기 NAND 연산을 수행하기 위한 NAND 게이트와,

상기 제 2 또는 제 4 입력 신호의 상기 NOR 연산을 수행하기 위한 NOR 게이트와,

상기 NOR 게이트의 출력 신호 및 상기 NAND 게이트의 출력 신호에 응답해서 상기 입력 신호들에 대한 XNOR 값을 발생하기 위한 XNOR 수단; 그리고

상기 NOR 게이트의 출력 신호 및 상기 NAND 게이트의 출력 신호에 응답해서 상기 입력 신호들에 대한 XOR 값을 발생하기 위한 XOR 수단을 포함하는 것을 특징으로 하는 고속 저전력 4-2 압축기.



**【청구항 7】**

제 6 항에 있어서,

상기 XNOR 수단은,

상기 NOR 게이트의 출력 신호가 제 1 논리 상태인 동안에는 상기 NAND 게이트의 출력 신호를 반전시키고, 상기 NOR 게이트의 출력 신호가 제 2 논리 상태인 동안에는 상기 NAND 게이트의 출력 신호를 그대로 출력하는 제 1 인버터, 그리고

상기 제 1 인버터의 출력을 풀 스윙시키기 위한 제 1 풀 스윙 수단을 포함하는 것을 특징으로 하는 고속 저전력 4-2 압축기.

**【청구항 8】**

제 6 항에 있어서,

상기 XOR 수단은,

상기 NAND 게이트의 출력 신호가 제 2 논리 상태인 동안에는 상기 NOR 게이트의 출력 신호를 반전시키고, 상기 NAND 게이트의 출력 신호가 제 1 논리 상태인 동안에는 상기 NOR 게이트의 출력 신호를 그대로 출력하는 제 2 인버터, 그리고

상기 제 2 인버터의 출력을 풀 스윙시키기 위한 제 2 풀 스윙 수단을 포함하는 것을 특징으로 하는 고속 저전력 4-2 압축기.

**【청구항 9】**

제 7 항에 있어서,

상기 제 1 인버터는,

전원 전압 공급원과 상기 NOR 게이트의 출력 단자 사이에 직렬로 형성된 전류 통로

와 상기 NAND 게이트의 출력에 의해 제어되는 게이트를 갖는 P형 트랜지스터 및 N형 트랜지스터를 포함하는 것을 특징으로 하는 고속 저전력 4-2 압축기.

【청구항 10】

제 7 항에 있어서,

상기 제 1 풀 스윙 수단은,

상기 제 1 인버터의 출력 단자와 상기 NOR 게이트의 출력 단자 사이에 형성된 전류 통로와, 상기 NAND 게이트에 입력되는 신호에 의해 제어되는 제어 단자를 갖는 P형 트랜지스터를 포함하는 것을 특징으로 하는 고속 저전력 4-2 압축기.

【청구항 11】

제 10 항에 있어서,

상기 제 1 풀 스윙 수단은,

상기 NOR 게이트의 출력 신호가 제 2 논리 상태일 때 턴 온 되어 상기 제 1 인버터의 출력신호를 상기 전원 전압 레벨로 높이는 것을 특징으로 하는 고속 저전력 4-2 압축기.

【청구항 12】

제 8 항에 있어서,

상기 제 2 인버터는,

접지 전압 공급원과 상기 NAND 게이트의 출력 단자 사이에 직렬로 형성된 전류 통로와 상기 NOR 게이트의 출력에 의해 제어되는 게이트를 갖는 P형 트랜지스터 및 N형 트랜지스터를 포함하는 것을 특징으로 하는 고속 저전력 4-2 압축기.

**【청구항 13】**

제 8 항에 있어서,

상기 제 2 풀 스윙 수단은,

상기 제 2 인버터의 출력 단자와 상기 NAND 게이트의 출력 단자 사이에 형성된 전류 통로와, 상기 NAND 게이트에 입력되는 신호에 의해 제어되는 제어 단자를 갖는 N형 트랜지스터를 포함하는 것을 특징으로 하는 고속 저전력 4-2 압축기.

**【청구항 14】**

제 13 항에 있어서,

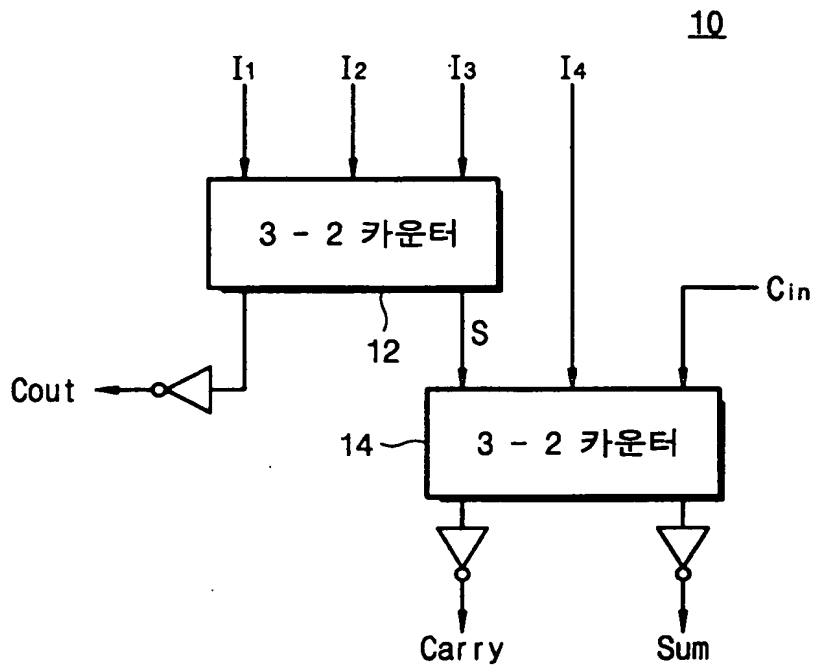
상기 제 2 풀 스윙 수단은,

상기 NAND 게이트의 출력 신호가 제 1 논리 상태일 때 턴 온 되어 상기 제 2 인버터의 출력신호를 상기 접지 전압 레벨로 낮추는 것을 특징으로 하는 고속 저전력 4-2 압축기.

【도면】

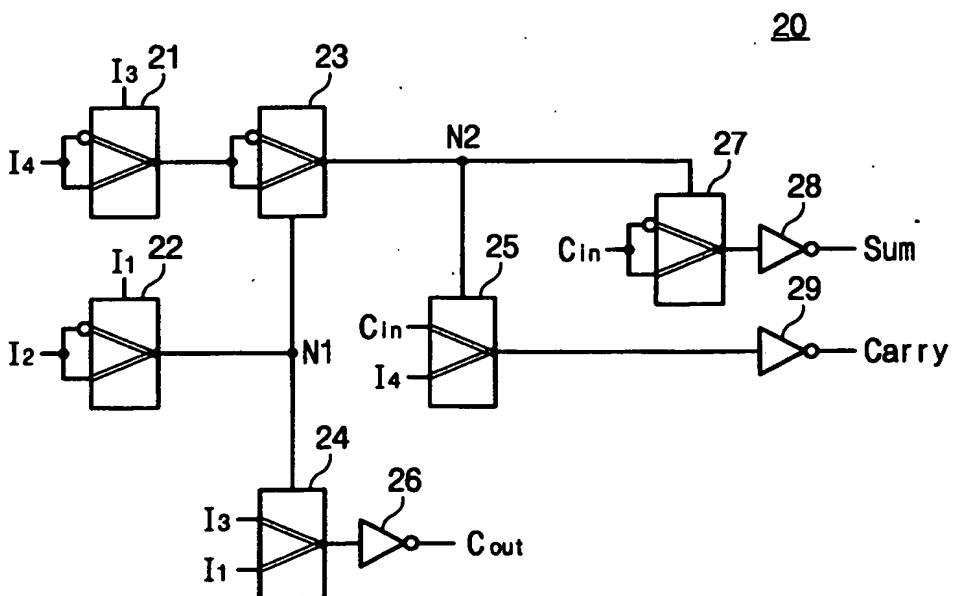
【도 1】

(종래 기술)

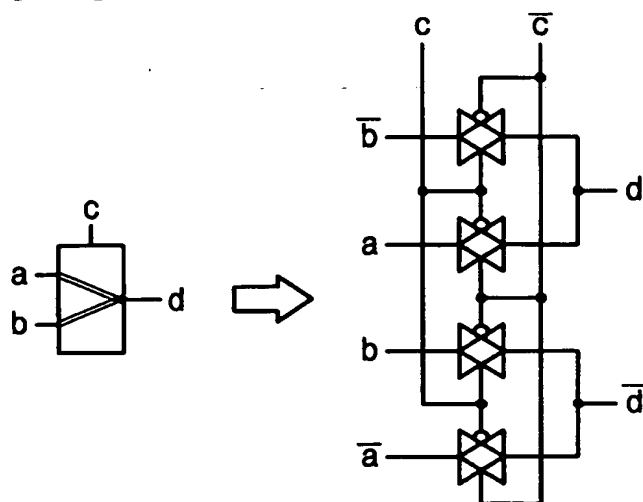


【도 2】

(종래 기술)



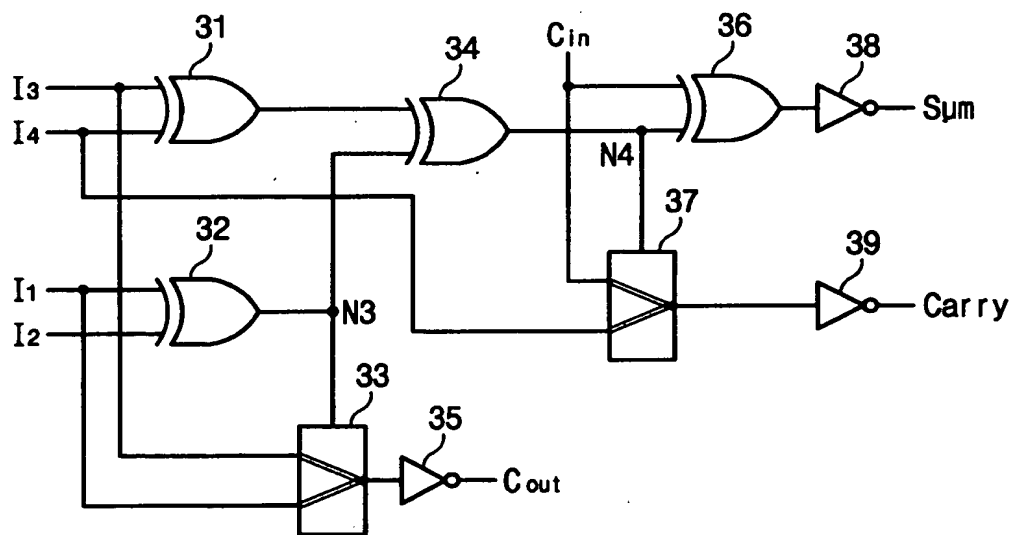
【도 3】



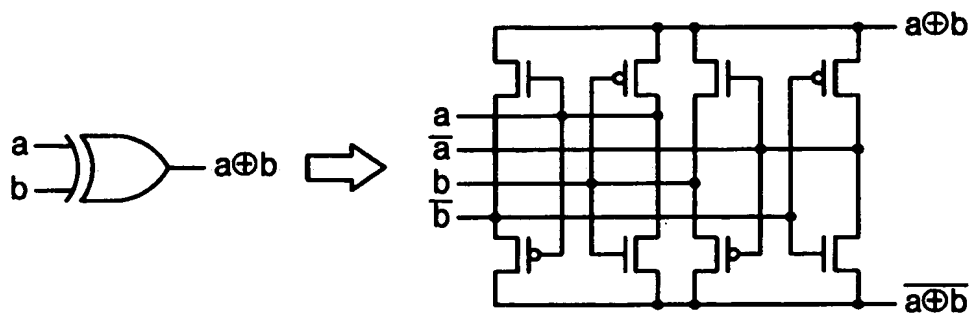
【도 4】

(종래 기술)

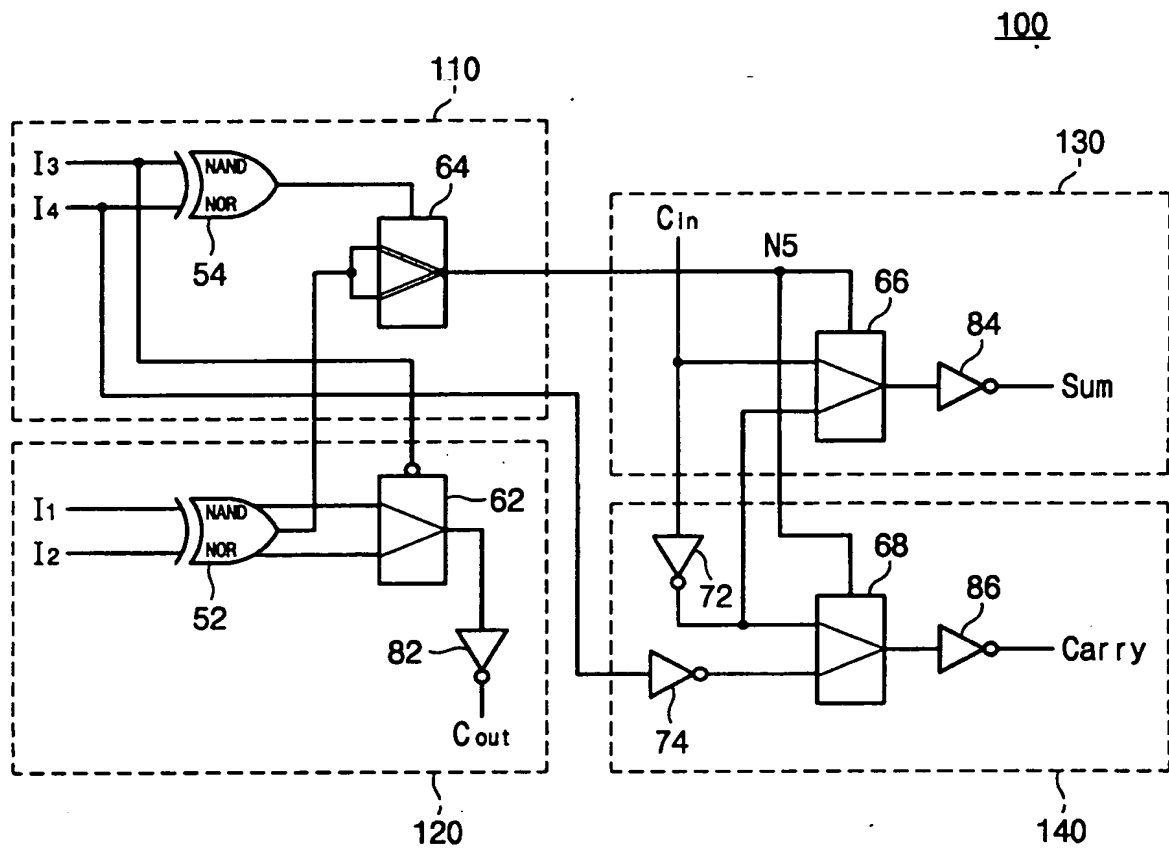
30



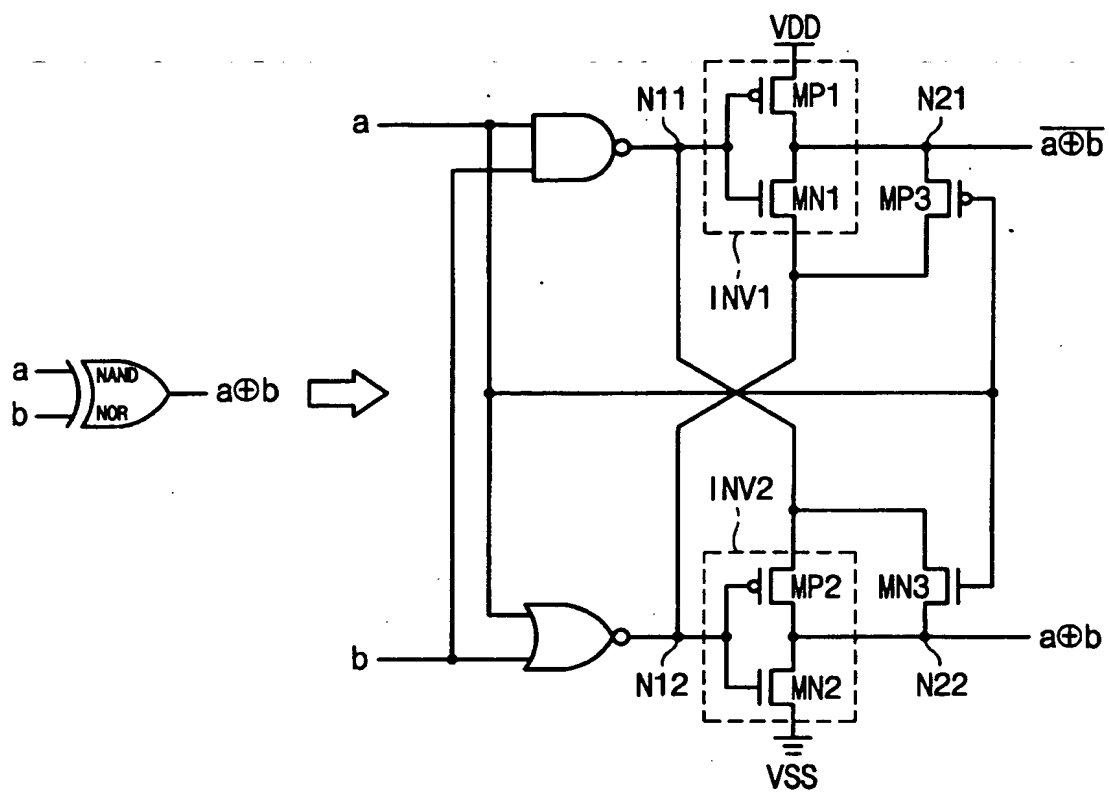
【도 5】



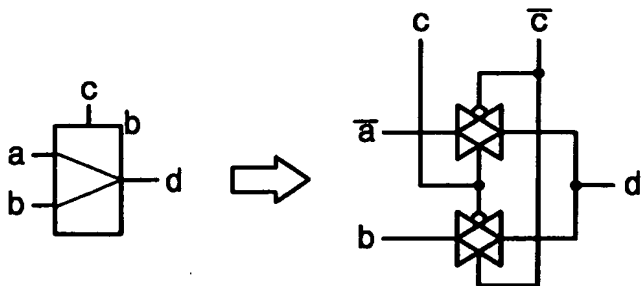
【도 6】



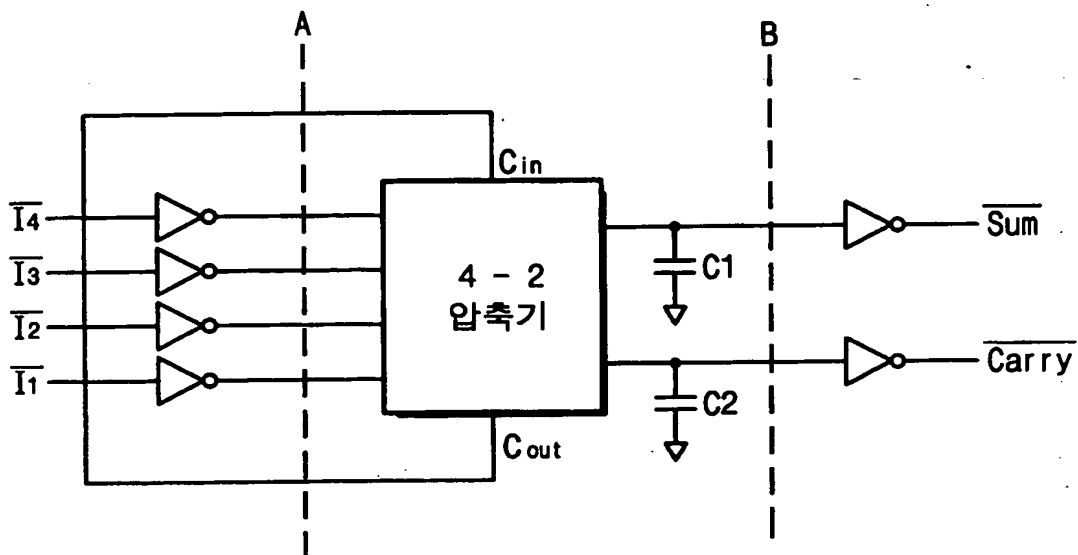
【도 7a】



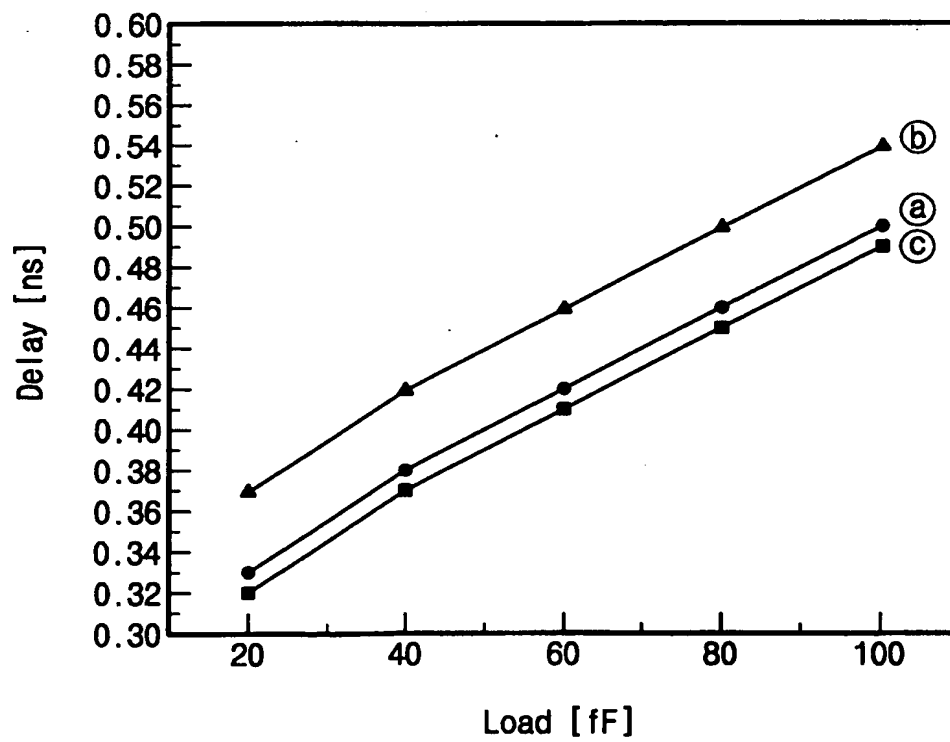
【도 7b】



【도 8】

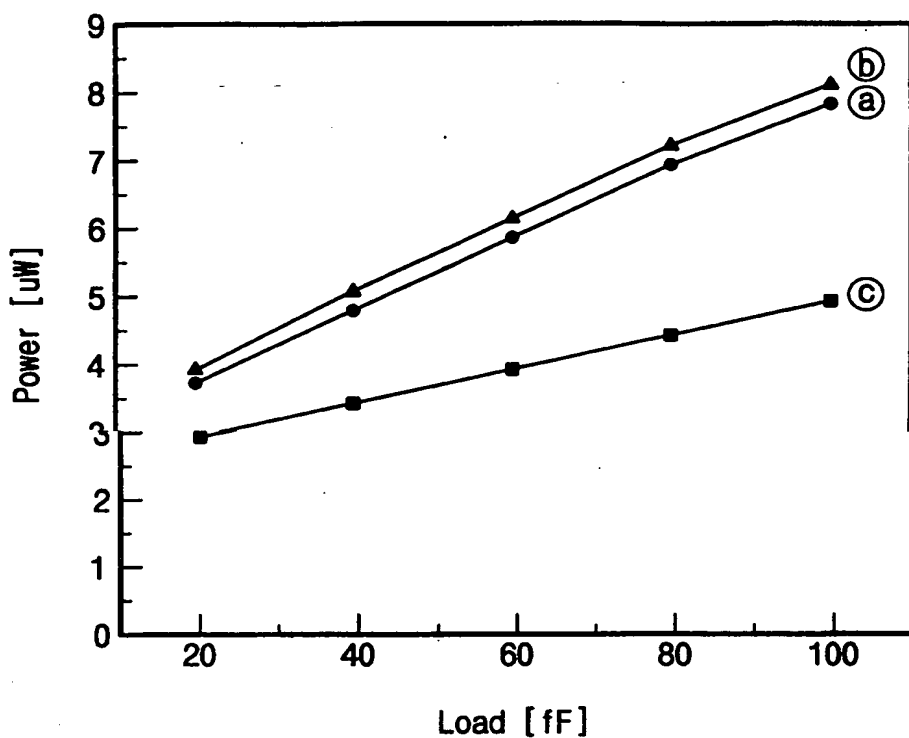


【도 9】





【도 10】



【도 11】

